



OKI.574

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hirokazu Hayashi

Group Art Unit: 2825

Serial No.: 10/668,261

Examiner: T. Do

Filed: September 24, 2003

Confir. No.: 3284

For: METHOD FOR MODELING SEMICONDUCTOR DEVICE AND THE NETWORK

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
Customer Window
Randolph Building
401 Dulany Street
Alexandria, VA 22314

Date: November 3, 2005

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2003-109670

filed April 15, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.

Andrew J. Telesz, Jr.
Registration No. 33,581

One Freedom Square
11951 Freedom Drive, Suite 1260
Reston, Virginia 20190
Tel. (571) 283-0720
Fax. (571) 283-0740

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 4月15日

出 願 番 号
Application Number: 特願2003-109670
[ST. 10/C]: [JP2003-109670]

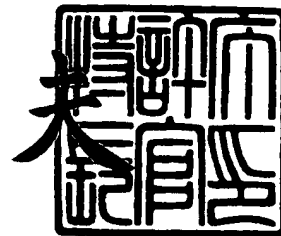
出 願 人
Applicant(s): 沖電気工業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年 9月10日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2003-3074124

【書類名】 特許願

【整理番号】 SA003800

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/00

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

 【氏名】 林 洋一

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100082050

 【弁理士】

 【氏名又は名称】 佐藤 幸男

【手数料の表示】

 【予納台帳番号】 058104

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9100477

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子および回路網のモデリング方法

【特許請求の範囲】

【請求項 1】 半導体素子および該素子を含む回路網を複合的に解析するための複合シミュレーションにおいて解析対象となる素子および回路網をモデリングする方法であって、

回路網に含まれる複数の素子のそれぞれの構造を抽出し該抽出した各構造を示す素子モデルを形成する素子抽出ステップと、

前記各素子モデル間の電氣的な接続を断つ絶縁部を介して当該各素子モデルを連結する素子連結ステップと、

前記素子抽出ステップで抽出された複数の素子を除く回路網部分を示す回路網モデルを前記連結された素子モデルのうちの所定の素子モデルに接続する回路接続ステップとを含むことを特徴とするモデリング方法。

【請求項 2】 前記素子抽出ステップにおいて、それぞれに対応する素子の断面構造を示すモデルを素子モデルとする請求項 1 記載のモデリング方法。

【請求項 3】 前記素子抽出ステップにおいて、それぞれに対応する素子の立体構造を示すモデルを素子モデルとする請求項 1 記載のモデリング方法。

【請求項 4】 前記素子連結ステップにおいて、連結すべき各素子モデル間の部分的な導通を許す導通部を介して当該各素子モデルを連結する請求項 1 記載のモデリング方法。

【請求項 5】 前記素子連結ステップにおいて、連結すべき各素子モデル間に空隙を与える空間部を形成する請求項 1 記載のモデリング方法。

【請求項 6】 さらに、前記回路網部分が接続された素子モデルの電極部における所定の複数の電位点に相互に異なる電位を設定する電極電位設定ステップを含む請求項 1 記載のモデリング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子および該素子を含む回路網を複合的に解析するための複

合シミュレーションを行うべく、解析対象となる素子および回路網をモデリングする方法に関する。

【0002】

【従来の技術】

従来、MOS (Metal Oxide Semiconductor) トランジスタのような半導体素子の特性を素子単位で解析するデバイスシミュレーションの手法と、回路網全体の特性を解析する回路シミュレーションの手法とを利用して、回路網に含まれる素子を当該回路網と共に複合的に解析する複合シミュレーションが知られている。この種のシミュレーション技術は、例えば、後述する特許文献1および2に開示されている。

【0003】

一般的に、複合シミュレーションでは、解析対象となる素子を2次元あるいは3次元でモデリングした素子モデルと、その他の回路網部分を示す回路網モデルとを統合し、素子モデルをデバイスシミュレーションにより解析する。そして、このデバイス解析から得られたパラメータと、予め用意した回路網のネットリストとを用いて、回路網全体が回路シミュレーションにより解析される。これにより、当該回路網において動作される前記素子の特性を知ることができる。複合シミュレーションのためのソースコードを作成するにあたっては、一般的に、デバイス解析のための汎用のソースコードを変更し、これをインタフェースコードを介して回路解析のソースコードに統合する。

【0004】

【特許文献1】

特開平09-082938号公報

【特許文献2】

特開2000-260973号公報

【0005】

【発明が解決しようとする課題】

ところで、複合シミュレーションにおいて回路網の複数の素子に着目する場合、従来の技術では、各素子モデルをそれぞれ別個の解析領域として取り扱い、そ

これらの領域毎にデバイス解析を行う。例えば、n型およびp型の一对のMOSトランジスタを用いたCMOS (Complementary MOS) トランジスタ (以下、単に「CMOS」と称する。) に着目した2次元の複合シミュレーションでは、n型およびp型の各MOSトランジスタが個別にデバイス解析される。

【0006】

しかしながら、このように複数の素子を取り扱う場合、ソースコードの形成時には複数のデバイス解析領域を考慮する必要があることから、デバイス／回路解析間のインタフェース部分の調整が煩雑になり、ソースコードの形成作業に手間が掛かるという不都合がある。

【0007】

本発明は、前記した課題に鑑みてなされたものであり、ソースコードの形成を煩雑化することなく複合シミュレーションにより複数の素子を解析するための、半導体素子および回路網のモデリング方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明に係るモデリング方法は、半導体素子および該素子を含む回路網を複合的に解析するための複合シミュレーションにおいて解析対象となる素子および回路網をモデリングする方法であって、回路網に含まれる複数の素子のそれぞれの構造を抽出し該抽出した各構造を示す素子モデルを形成する素子抽出ステップと、前記各素子モデル間の電気的な接続を断つ絶縁部を介して当該各素子モデルを連結する素子連結ステップと、前記素子抽出ステップで抽出された複数の素子を除く回路網部分を示す回路網モデルを前記連結された素子モデルのうちの所定の素子モデルに接続する回路接続ステップとを含む方法である。

【0009】

前記素子抽出ステップにおいて、それぞれに対応する素子の断面構造を示す2次元的なモデルを素子モデルとすることができる。また、これに代えて、それぞれに対応する素子の立体構造を示す3次元的なモデルを素子モデルとすることができる。

【0010】

前記素子連結ステップにおいて、連結すべき各素子モデル間の部分的な導通を許す導通部を介して当該各素子モデルを連結することができる。この導通部を形成すべく、例えば、各素子モデルを部分的に直結してもよい。

【0011】

前記素子連結ステップにおいて、連結すべき各素子モデル間に空隙を与える空間部を形成することができる。

【0012】

本発明に係るモデリング方法に、さらに、前記回路網部分が接続された素子モデルの電極部における所定の複数の電位点に相互に異なる電位を設定する電極電位設定ステップを追加することができる。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態を具体例を用いて説明する。

〈具体例1〉

図1は、本発明に係るモデリング方法の具体例1を説明するための説明図である。具体例1のモデリング方法は、素子の断面構造を示す2次元の素子モデルを用いた複合シミュレーションに適用することができる。本具体例では、図2(a)に示す回路網100においてインバータ回路を構成する同図(b)のCMOS100Aに着目した複合シミュレーションを行う際のモデリング例を示す。

【0014】

CMOS100Aは、図2(b)に示すように、チャネル幅が W_n [μm] のnMOS部101およびチャネル幅が W_p [μm] のpMOS部102が、素子分離のためのLOCOS酸化膜103を介してp型半導体基板104上で相互に隣接して形成された素子である。図示の例では、説明のため、当該CMOS100Aが3次元的に示されている。nMOS部101およびpMOS部102は、それぞれ従来よく知られたn型MOSトランジスタおよびp型MOSトランジスタの機能を果たす。

【0015】

具体例1のモデリング方法の手順を図3に示すフローチャートに沿って説明す

る。具体例 1 の手順は、図 3 に示すステップ S 1 に対応する素子抽出ステップ、ステップ S 2 に対応する素子連結ステップ、および、ステップ S 3 に対応する回路接続ステップに大別することができる。

【0016】

素子抽出ステップでは、図 2 (b) の CMOS 100A における nMOS 部 101 および pMOS 部 102 上に掛け渡されたゲート部 105 に直交し、且つ、nMOS 部 101 および pMOS 部 102 のそれぞれのドレイン部 106 およびソース部 107 に沿って伸びる 1-1' 線および 2-2' 線に基づいて、nMOS 部 101 および pMOS 部 102 の断面構造を抽出し、これらの構造を示す 2 次元の素子モデルである nMOS モデル 101a および pMOS モデル 102a を形成する(ステップ S 1)。

【0017】

そして、素子連結ステップでは、図 1 に示すように、nMOS モデル 101a のドレイン 106a と、pMOS モデル 102a のソース 107a' とが隣接するように両モデルを横列させる。nMOS モデル 101a および pMOS モデル 102a 間には、当該両モデル間の電気的な接続を断つ絶縁部 10 を配置し、また、絶縁部 10 の下方には、両モデル間の部分的な導通を許す導通部 11 を設ける(ステップ S 2)。このように nMOS モデル 101a および pMOS モデル 102a を相互に連結させることにより、これら複数のモデルを、デバイス解析における同一の解析領域として一括的に取り扱うことができる。

【0018】

前記した絶縁部 10 として、例えば SiO₂ のように、誘電率を「0」として扱うことができる部材を想定することができ、そのサイズは、nMOS モデル 101a のドレイン 106a および pMOS モデル 102a のソース 107a' の電位が相互に影響を受けない程度に適宜設定することが望ましい。

【0019】

他方、導通部 11 としては、図示の例では、nMOS モデル 101a の p ウェル 101b、および、pMOS モデル 102a の n ウェル 102b を部分的に直結させた箇所を適用しているが、この例に替えて、当該直結部分に他の導電部材

を配置してもよい。導通部 11 は、実際の CMOS 100A における nMOS 部 101 および pMOS 部 102 間で発生し得る導通現象を考慮して設けられたものであり、そのサイズは適宜設定することができる。

【0020】

さらに、回路接続ステップでは、回路網 100 における配線状態に合わせて、nMOS モデル 101a および pMOS モデル 102a に回路網モデル 100' を接続する（ステップ S3）。本具体例の回路網モデル 100' は、図 2（a）の回路網 100 における CMOS 100A を除く回路網部分に対応し、図 1 に示す例では、nMOS モデル 101a のソース 107a、ゲート 105a およびドレイン 106a 上にそれぞれ設けられた電極部 12a～12c と、pMOS モデル 102a のソース 107a'、ゲート 105a' およびドレイン 106a' 上にそれぞれ設けられた電極部 12d～12f と、連結された両モデル 101a および 102a の底部に設けられた電極部 12g とに回路網モデル 100' を接続する。

これを以て、CMOS 100A および回路網 100 の複合シミュレーションのためのモデリングが完了する。

【0021】

なお、回路網モデル 100' には、前記した回路網部分の他に、CMOS 100A の 3 次元から 2 次元への形状効果を代替する回路部分を加味することができる。この回路部分として、例えば、図 4 の CMOS 100A に関する回路図に示すように、抵抗素子および容量素子を用いた負荷回路 110 を想定することができる。当該負荷回路 110 を、CMOS 100A における nMOS 部 101 のドレイン 106 と、pMOS 部 102 のソース 107 とを結ぶ出力端子（Vout 端子）に接続する。この状態を図 1 の回路網モデル 100' に反映させる場合、負荷回路 110 がモデリングされた負荷回路モデル 110' を、電極部 12c および 12d に接続された回路網モデル 100' 内に加味する。これにより、CMOS 100A を 2 次元の素子モデルで表現したことによる形状効果を補償することができる。

【0022】

図1に示すような2次元的な素子モデルを扱う複合シミュレーションでは、素子および回路網間の電流値を規格化することが望ましい。例えば、図1の構成において、電極部12cおよび12dに接続された回路網モデル100'からの電流 a_0 が、nMOSモデル101aおよびpMOSモデル102aにそれぞれ I_n [A] および I_p [A] として供給されたとする。このとき、nMOSモデル101aへの規格化電流 a_1 は、電流 I_n をチャネル幅 W_n で除した $a_1 = I_n / W_n$ [A/ μ m] とし、また同様に、pMOSモデル102aへの規格化電流 a_2 は、 $a_2 = I_p / W_p$ [A/ μ m] として取り扱う。

【0023】

具体例1のモデリング方法によれば、回路網100におけるCMOS100Aに着目した複合シミュレーションを行うにあたり、当該CMOS100Aについて、そのnMOSモデル101aおよびpMOSモデル102aが同一の解析領域に統合されることから、ソースコードを作成するうえで、デバイス/回路解析間のインタフェース部分の調整が煩雑化することを回避できる。

【0024】

〈具体例2〉

図5は、本発明に係るモデリング方法の具体例2を説明するための説明図である。前記した具体例1では、CMOS100Aのように、回路網において実質的に連結された一対の素子に着目した複合シミュレーションのモデリング例を示したが、本具体例では、回路網で相互に間隔を置いて設けられた複数の素子に着目する例を示す。その一例として、具体例1で説明した図2(a)の回路網100におけるインバータ回路のCMOS100Aと、この回路から複数の回路を経て設けられた他のインバータ回路のCMOS100Bとに着目する。なお、CMOS100Bの構成は、図2(b)に示すCMOS100Aの構成と同様であり、ここではCMOS100Bの図示を省略する。

【0025】

図5に示すように、具体例2のモデリング方法では、CMOS100AのnMOS部101に対応するnMOSモデル201aと、CMOS100BのpMOS部（図示せず）に対応するpMOSモデル202bとを横列させ、SiO₂の

ような絶縁部材を想定した絶縁部 20 を介して当該両モデル間を連結する。

【0026】

nMOS モデル 201a および pMOS モデル 202b を連結するとき、両モデル間に空隙を与える空間部 21 が設けられるように絶縁部 20 のサイズを設定し、当該絶縁部 20 を、nMOS モデル 201a におけるドレイン 206a 上の電極部 22c と、pMOS モデル 202b のソース 207b' 上の電極部 22d との間に配置する。そして、nMOS モデル 201a および pMOS モデル 202b の各電極部 22a ~ 22h に回路網モデル 100' を接続し、モデリングを完了させる。このように両モデル 201a および 202b 間を Air で充填する空間部 21 を設けることにより、絶縁部 20 により連結された両者間の電氣的な絶縁性を高めることができる。

【0027】

具体例 2 に関する変形例として、前記した空間部 21 を設けることに代えて、nMOS モデル 201a および pMOS モデル 202b 間を充填するサイズの絶縁部 (20) を配置するようにしてもよい。また、回路網において着目すべき素子は、図示の例のように n 型 MOS トランジスタおよび p 型 MOS トランジスタの組み合わせに限らず、適宜選定することができる。その場合、選定した素子の連結構成を考慮して、回路網モデルの接続を設定する。

【0028】

具体例 2 のモデリング方法によれば、解析対象となる回路網において相互に間隔を置いて設けられた複数の素子に関し、前記した具体例 1 で説明した効果と同様な効果を得ることができる。また、nMOS モデル 201a および pMOS モデル 202b 間に空間部 21 を設けることにより、いわゆる反射型境界条件が適用されることから当該両モデル間の電氣的な絶縁性が高められる。これにより、解析対象の各素子が実際の回路網において間隔を置いて設けられている状態を正確にモデリングすることができる。

【0029】

〈応用例〉

一般的に、デバイス解析時の数値計算では、素子モデル上に格子状に想定され

る電位点のそれぞれについて、図 6 (1) ~ (3) に示すポアソン方程式および電子・正孔の電流連続式からなる半導体支配方程式を用いて、電位および電子・正孔濃度のような変数に対する離散化および線形化を行う。そして、全ての電位点の変数を網羅した大規模行列計算により、各電位点における変数の近似解を求める。この数値計算の際、素子モデルの電極部には、図 6 (4) に示すような行列式により規定される電圧固定境界条件が適用され、電極部における全ての電位点の電位が同一の値に設定される。

【0030】

しかしながら、素子の電極に対し、例えばサリサイド抵抗を考慮するような場合は、素子モデルの電極部における各電位点に電位のバラつきを生じることから、前記した電圧固定境界条件を適用しても適切な解析結果が得られないおそれがある。

【0031】

そこで、具体例 1 および 2 で示したモデリング方法により素子および回路網をモデル化する際の、素子モデルにおける電極部の設定例を示す。

本発明に係るモデリング方法の電極電位設定ステップでは、図 7 に示すように、具体例 1 の各電極部 12a ~ 12g (図 1)、あるいは、具体例 2 の各電極部 22a ~ 22h (図 5) のような、電極部 30 について、その電位点 p1 および p2 を考える。

【0032】

図 7 において、JA は電位点 Q から p1 へ供給される電流の密度を示し、同様に、JB は電位点 R から p1 への電流、JC は電位点 p1 から p2 への電流、JD は電位点 S から p2 への電流、そして JE は電位点 T から p2 への電流に対応する。なお、これらの電流密度 JA ~ JE は、それぞれ電子および正孔の双方を考慮するものとする。また、電位点 p1 および p2 と、仮想の電位点 p1' および p2' との間に想定された抵抗 r1 および r2 の値は、サリサイド抵抗のような付加的な抵抗の値として適宜設定することができる。

【0033】

前記したような設定において、電極部 30 へ流れ込む電流と、抵抗 r1 により

電位点 p_1 から p_1' へ流れる電流 i_1 とが等しい、すなわち電極部 30 においては電流の損失が発生しないと仮定する。このとき、電流 i_1 は、図 6 に示す式 (5) のように定義することができ、他方、抵抗 r_2 により電位点 p_2 から p_2' へ流れる電流 i_2 は、式 (7) により定義することができる。式 (5) および (7) における電子・正孔の電流密度 (J_n 、 J_p) は、熱平衡を仮定した近似式から求められた固定値を用いることが望ましい。

【0034】

さらに、図 7 に示す電極部 30 の形状および電流密度等を、前記した式 (5) および (7) に反映させると、電流 i_1 について、式 (5) から図 6 (6) のような関係式を導くことができ、他方の電流 i_2 については、式 (7) から式 (8) を導くことができる。そして、導出された式 (6) および (8) において、電極部 30 上の電位点 p_1 および p_2 の各電位を示す「 ψ_{p1} 」および「 ψ_{p2} 」を独立変数とすると共に、これらに相互に異なる値を設定する ($\psi_{p1} \neq \psi_{p2}$)。

【0035】

素子モデルにおける電極部に関し、前記したような設定を施すことにより、当該電極部の電位点間に差異を与えることができ、これにより、サリサイド抵抗を考慮すべき電極のような、電圧固定境界条件を適用し難い電極に対処することができる。また、各電位点の電位をそれぞれ独立して設定することにより、数値計算上の自由度が広がることから、デバイス解析における収束解を得易くなるという利点がある。

【0036】

本発明に係るモデリング方法の前記した具体例 1 および 2 では、複数の解析領域を統合すべく、一対の 2 次元モデルが連結される例を示したが、本発明の適用範囲はこれらに限らない。例えば、前記した各具体例の手順に沿って複数の素子モデルを相互に連結するものであれば、解析対象の素子は 2 個に限らず、3 個以上の任意の素子モデルを単一の解析領域に統合することができる。また、素子モデルは 2 次元のものに限らず、素子の立体構造を示す 3 次元モデルに本発明を適用することができる。その場合、具体例 1 で説明したような電流の規格化を行う

必要はない。

【0037】

【発明の効果】

本発明に係るモデリング方法によれば、複数の素子モデルが絶縁部を介して連結され、同一の解析領域として統合されることから、ソースコードを作成するうえで、デバイス／回路解析間のインタフェース部分の調整が煩雑になることを回避できる。すなわち、従来のようにインタフェース部分の大幅な調整を必要とせず、単に、デバイス解析のための汎用のソースコードにおける電極部分の取り扱いを変更することにより、複合シミュレーションを実現することができる。

【図面の簡単な説明】

【図1】

本発明に係るモデリング方法の具体例1を説明するための説明図である。

【図2】

具体例の回路網およびCMOSを説明するための説明図である。

【図3】

具体例1のモデリング方法の手順を示すフローチャートである。

【図4】

具体例1における負荷回路の接続例を説明するための説明図である。

【図5】

本発明に係るモデリング方法の具体例2を説明するための説明図である。

【図6】

本発明に係るモデリング方法の応用例を説明するための説明図である。

【図7】

応用例における電極部の設定例を説明するための説明図である。

【符号の説明】

10、20 絶縁部

11 導通部

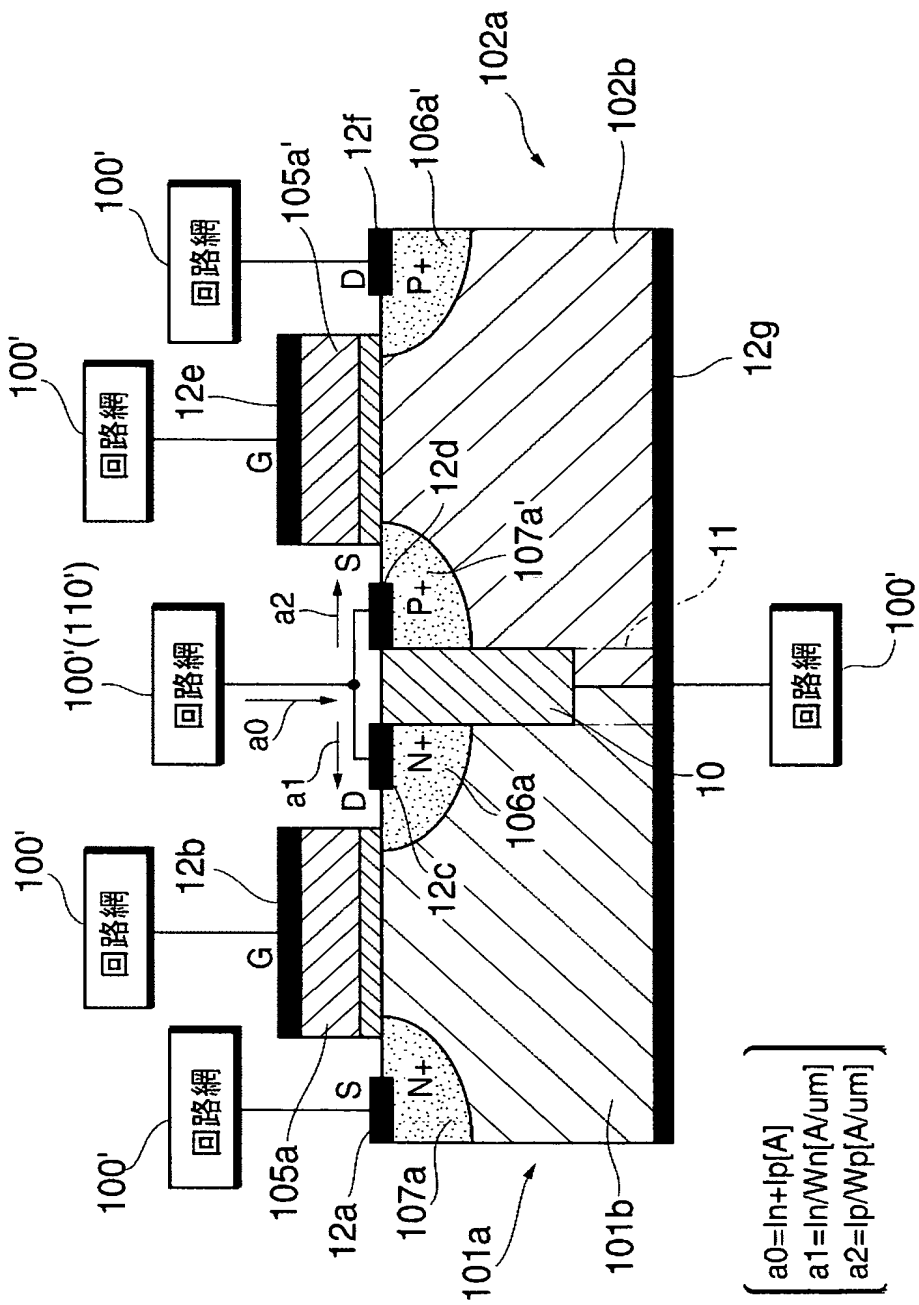
12a～12g、22a～22h、30 電極部

100' 回路網モデル

101a nMOSモデル
102a pMOSモデル
101b pウエル
102b nウエル
105a、105a' ゲート
106a、106a' ドレイン
107a、107a' ソース
100 回路網
100A、100B CMOS
101 nMOS部
102 pMOS部
103 LOCOS酸化膜
104 p型半導体基板
105 ゲート部
106 ドレイン部
107 ソース部
110 負荷回路
21 空間部

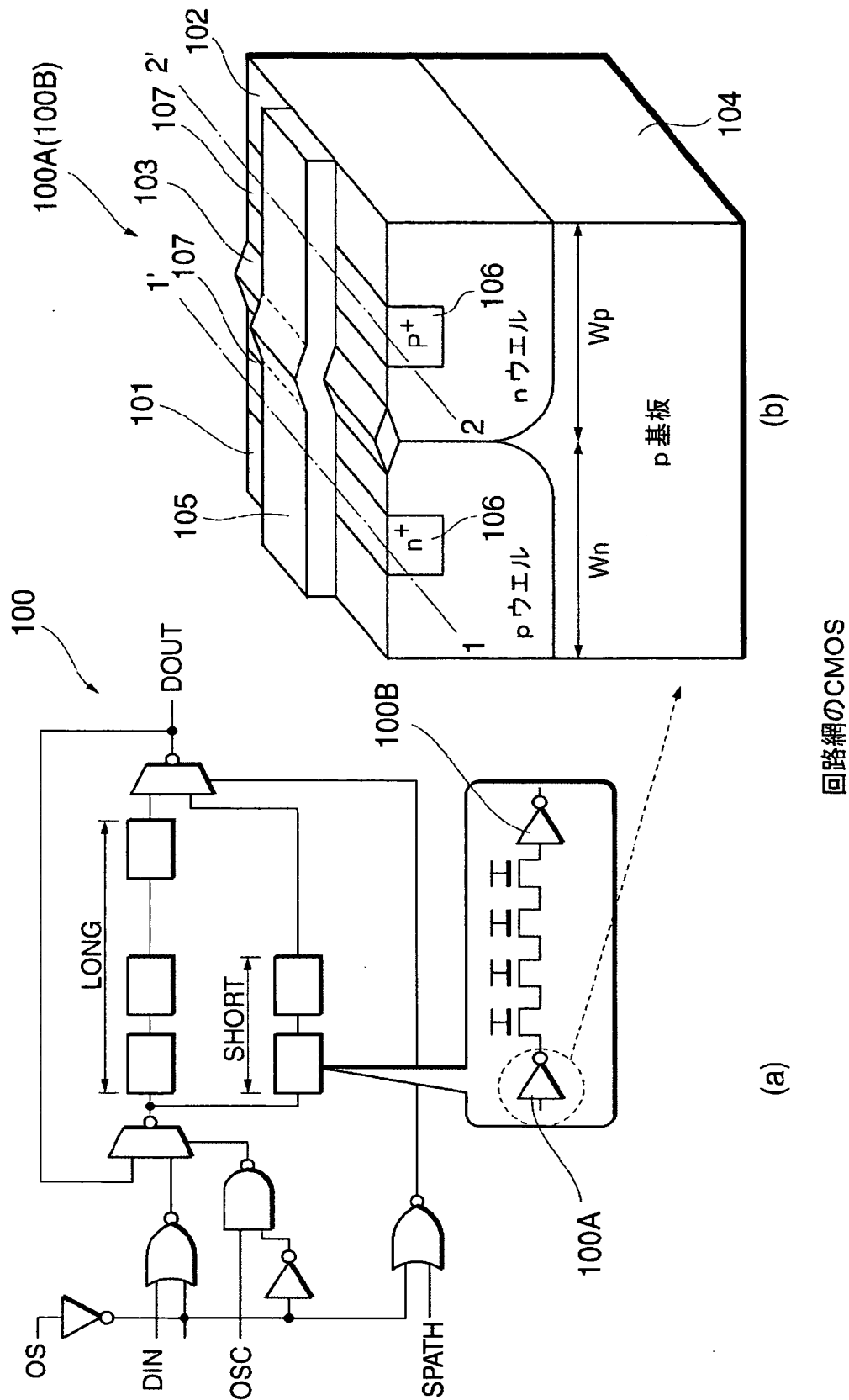
【書類名】 図面

【図 1】

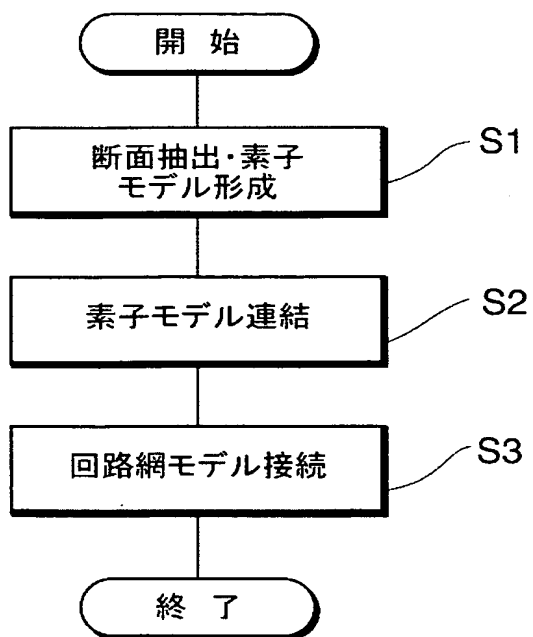


具体例1のモデリング方法

【図 2】

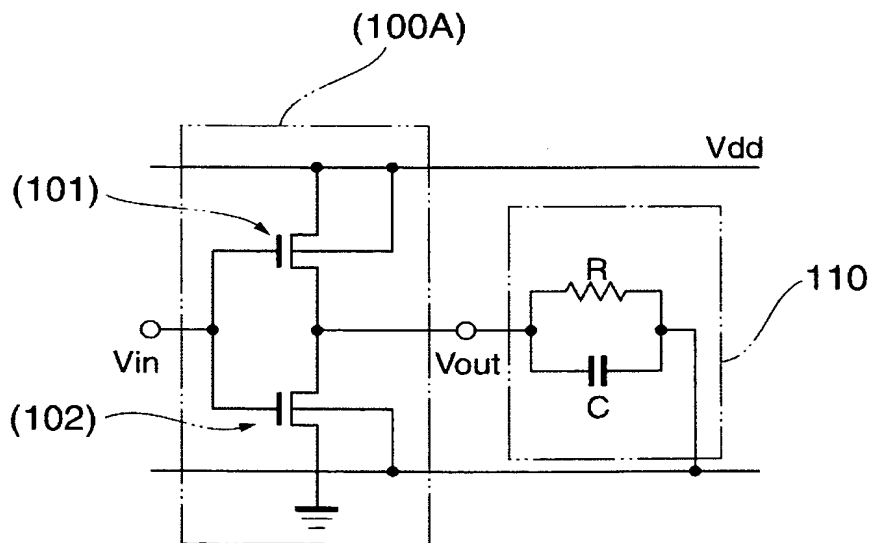


【図 3】



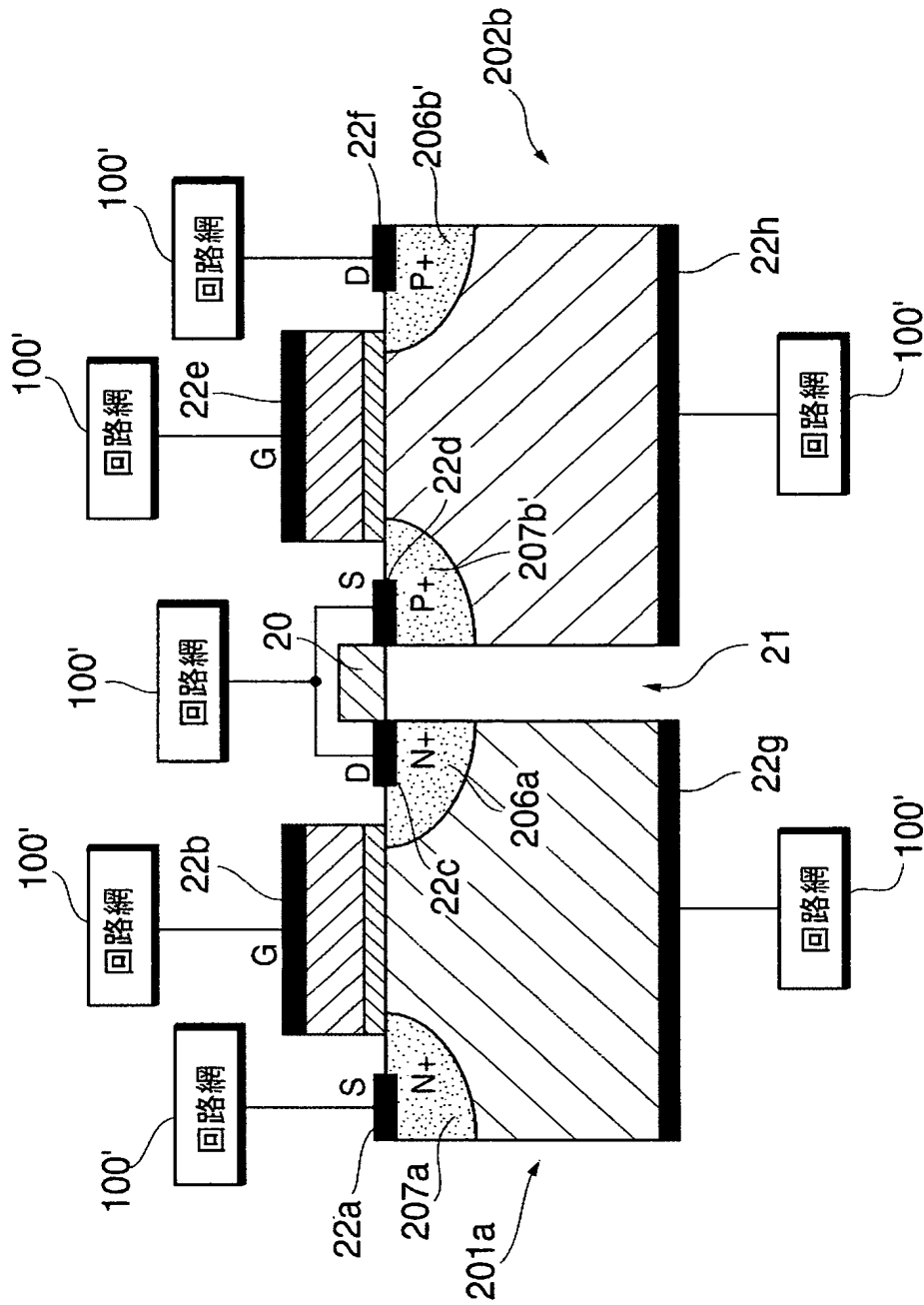
具体例1のフローチャート

【図 4】



負荷回路の接続例

【図 5】



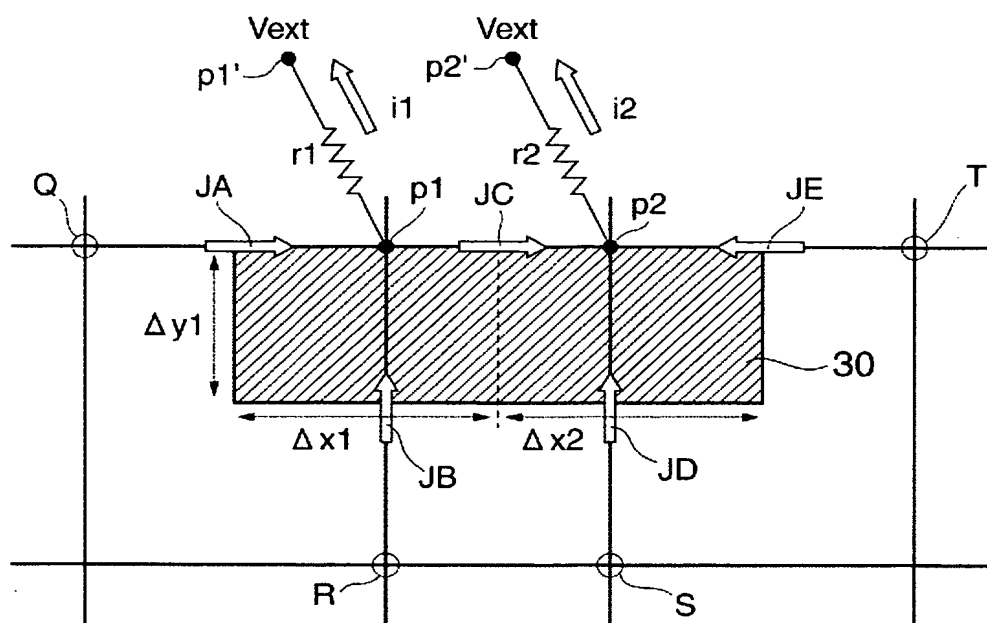
具体例2のモデリング方法

【図 6】

(1) $-\nabla \cdot (\varepsilon \nabla \psi) = q(ND - NA + p - n)$
(2) $\partial n / \partial t + \nabla \cdot J_n = GR$
(3) $\partial p / \partial t - \nabla \cdot J_p = GR$
(4) $\begin{pmatrix} 1 & 0 & 1 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} n \\ p \\ \psi \end{pmatrix} = \begin{pmatrix} n_0 \\ p_0 \\ \psi_0 + V_1 \end{pmatrix}$
(5) $\int \text{div} J_n \, dv + \int \text{div} j_p \, dv = i_1$
(6) $J_A \cdot \Delta y_1 + J_B \cdot \Delta x_1 + J_C \cdot \Delta y_1 = (V_{\text{ext}} - \psi_{p1}) / r_1$
(7) $\int \text{div} J_n \, dv + \int \text{div} j_p \, dv = i_2$
(8) $J_C \cdot \Delta y_1 + J_D \cdot \Delta x_2 + J_E \cdot \Delta y_1 = (V_{\text{ext}} - \psi_{p2}) / r_2$
<p>ε: 誘電率 q: 単位電荷 ND: ドナー濃度 NA: アクセプタ濃度 n: 電子濃度 p: 正孔濃度 ψ: 電位 J_n: 電流密度(電子) J_p: 電流密度(正孔) GR: 単位時間に単位体積あたりに発生する電子(正孔)の数 n_0, p_0, ψ_0: 熱平衡時の各値 V_1: 外部電圧</p>

モデリング方法の応用例

【図 7】



電極部の設定例

【書類名】 要約書

【要約】

【課題】 複合シミュレーションのソースコード形成の煩雑化を緩和する。

【解決手段】 複合シミュレーションにおいて解析対象となる素子および回路網のモデリング方法であって、回路網に含まれる複数の素子のそれぞれの構造を抽出し該抽出した各構造を示す素子モデルを形成する素子抽出ステップと、前記各素子モデル間の電気的な接続を断つ絶縁部を介して当該各素子モデルを連結する素子連結ステップと、前記素子抽出ステップで抽出された複数の素子を除く回路網部分を示す回路網モデルを前記連結された素子モデルのうちの所定の素子モデルに接続する回路接続ステップとを含むモデリング方法。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 0 9 6 7 0
受付番号	5 0 3 0 0 6 1 7 8 7 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 1 6 日

< 認定情報・付加情報 >

【提出日】	平成15年 4月15日
-------	-------------

次頁無

特願 2 0 0 3 - 1 0 9 6 7 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社